

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 11 月 17 日
Application Date

申請案號：092132103
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡 練 生

發文日期：西元 2004 年 2 月 13 日
Issue Date

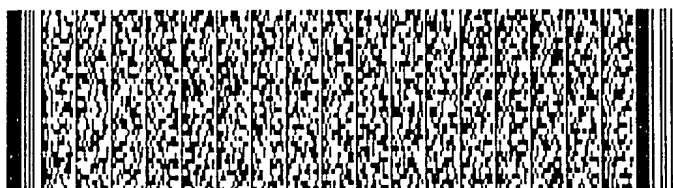
發文字號：09320136230
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	接觸窗之形成方法
	英文	METHOD OF FORMING CONTACTS FOR MEMORY DEVICE
二、 發明人 (共3人)	姓名 (中文)	1. 陳逸男 2. 黃則堯 3. 毛惠民
	姓名 (英文)	1. Yi-Nan Chen 2. Tse-Yao Huang 3. Hui-Min Mao
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 台北市北投區義理街63巷2弄22號1樓 2. 台北市南港區南港路二段142號13樓之1 3. 台北市內湖區港富里港漚路11號4樓之2
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



0548-0344twE(n1) : 01160 : spin pid

四、中文發明摘要 (發明名稱：接觸窗之形成方法)

本發明揭示一種記憶裝置之接觸窗形成方法。在基底之記憶陣列區及周邊電路區上方形成複數閘極結構。接著，在閘極結構之間形成一第一絕緣層，再在兩者上方形成第二絕緣層。之後，蝕刻第二及第一絕緣層並藉由閘極上蓋層、閘極間隙壁、及基底作為終止層，以在記憶陣列區形成位元線接觸窗，且在周邊電路區形成基底接觸窗及閘極接觸窗。接著，分別在這些接觸窗側壁形成保護間隙壁。接著，蝕刻閘極接觸窗下方之閘極上蓋層並藉由保護間隙壁作為終止層，以露出閘極。最後，去除保護間隙壁。

伍、(一)、本案代表圖為：第2f圖。

(二)、本案代表圖之元件代表符號簡單說明：

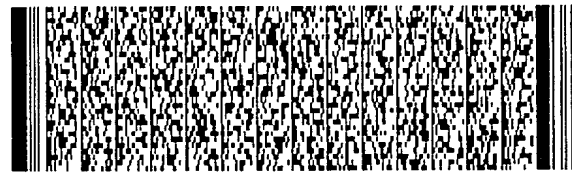
30~記憶陣列區；

40~周邊電路區；

200~基底；

六、英文發明摘要 (發明名稱：METHOD OF FORMING CONTACTS FOR MEMORY DEVICE)

A method of forming contacts for a memory device. A Plurality of gate structures is formed over the memory array region and the peripheral circuit region of a substrate. A first insulating layer is formed between the gate structures. A second insulating layer is formed on the gate structures and the first insulating layer. Thereafter, the first and second insulating layers

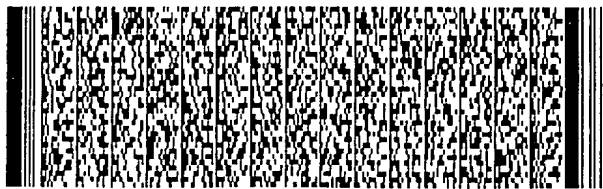


四、中文發明摘要 (發明名稱：接觸窗之形成方法)

202~複晶矽層；
204~金屬矽化層；
205~閘極；
206~閘極上蓋層；
208~閘極間隙壁；
209~閘極結構；
211~餘留的第一絕緣層；
212~第二絕緣層；
214~硬式罩幕層；
223~位元線接觸窗；
225~閘極接觸窗；
227~基底接觸窗；
229~保護間隙壁。

六、英文發明摘要 (發明名稱：METHOD OF FORMING CONTACTS FOR MEMORY DEVICE)

are etched using the gate capping layer, the gate spacer, and the substrate as stop layers to form a contact to bit line on the memory array region and form a contact to substrate and a contact to gate on the peripheral circuit region. Next, protective spacers are respectively formed over the sidewall of each contact. The gate capping layer under the contact to gate is etched using the protective



四、中文發明摘要 (發明名稱：接觸窗之形成方法)

六、英文發明摘要 (發明名稱：METHOD OF FORMING CONTACTS FOR MEMORY DEVICE)

spacer as a stop layer to expose the gate.
Finally, the protective spacers are removed.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

【發明所屬之領域】

本發明係有關於一種接觸窗之形成方法，特別是有關於一種記憶裝置之接觸窗形成方法，用以簡化接觸窗製程步驟。

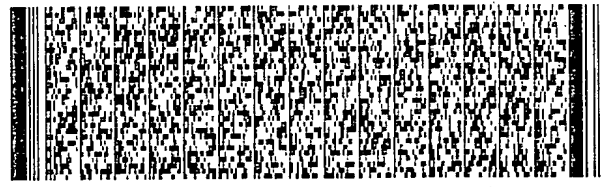
【先前技術】

隨著積體電路的元件尺寸微小化及積集度的增加，不同圖案層之間的對準誤差是主要的障礙所在，因此有許多自我對準 (self-aligned) 製程的發展，用以縮減元件之間的距離而增加元件的密集度。

為了進一步瞭解本發明之背景，以下配合第1a到1d圖說明傳統形成記憶裝置之接觸窗之方法。首先，請參照第1a圖，提供一矽基底100，其中形成任何記憶裝置所需的半導體元件，例如金氧半導體 (MOS) 電晶體、電容等。不過此處為了簡化圖式，僅以平整的基底100表示之。基底100具有一記憶陣列區 (memory array region) 10 及一周邊電路區 (peripheral circuit region) 20。

接著，在記憶陣列區10及周邊電路區20上方形成複數閘極結構109。其中，閘極結構109包含有一閘極介電層 (未繪示)、一閘極104、一閘極上蓋層106、及一閘極間隙壁108。此處，閘極介電層係利用熱氧化法所形成之氧化矽層；閘極104係由複晶矽所構成；閘極上蓋層106及閘極間隙壁108係由氮化矽所構成。

之後，在這些閘極結構109上方形成一絕緣層110，例



五、發明說明 (2)

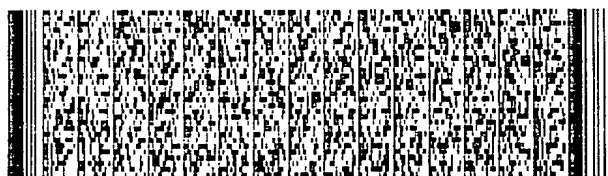
如硼磷矽玻璃 (borophosphsilicate glass, BPSG)，並填入閘極結構109之間之空隙以作為一內層介電層 (interlayer dielectric, ILD)。接著，在絕緣層110上方塗覆一光阻層114，並再實施一微影程序，以在光阻層114中形成複數開口117、119、121而露出絕緣層110。

接下來，請參照第1b圖，藉由光阻層114作為罩幕，並以閘極上蓋層106、閘極間隙壁108、及基底100作為終止層，蝕刻開口117、119、121下方之絕緣層110，以在記憶陣列區10形成位元線接觸窗 (contact to bit line, C_B) 123而露出基底100及閘極間隙壁108表面，且同時在周邊電路區20形成基底接觸窗 (contact to substrate, C_S) 127及閘極接觸窗 (contact to gate, C_G) 125而分別露出基底100表面及閘極上蓋層108。

接下來，請參照第1c圖，在去除光阻層114之後，再在絕緣層110上方塗覆一光阻層128，並填入位元線接觸窗123、基底接觸窗127及閘極接觸窗125。接著，實施一微影程序以去除位於閘極接觸窗125中的光阻層128。

最後，請參照第1d圖，利用光阻層128作為罩幕層，蝕刻閘極接觸窗125下方之閘極上蓋層108，而露出其下方之閘極104，以完成閘極接觸窗125之製作。之後，去除光阻層128。

然而，上述之方法中，為了避免位元線接觸窗123中的閘極上蓋層106及閘極間隙壁108於蝕刻閘極接觸窗125下方之閘極上蓋層108期間受到損害，而必須額外進行微

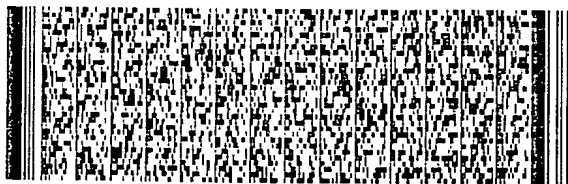


影製程以形成罩幕層。如此一來，製程之步驟較為繁複且會增加製作成本。再者，形成上述罩幕層時，易發生誤對準 (misalignment) 而降低元件之良率。

【發明內容】

有鑑於此，本發明之目的在於提供一種新的接觸窗之形成方法，適用於一記憶裝置，其藉由在記憶裝置之位元線接觸窗側壁形成一保護間隙壁，用以取代形成閘極接觸窗期間所額外形成之罩幕層，進而簡化接觸窗製程步驟、降低製作成本、並提高元件之良率。

根據上述之目的，本發明提供一種接觸窗之形成方法。首先，提供一基底，其具有一記憶陣列區及一周邊電路區，且複數閘極結構形成於記憶陣列區及周邊電路區上方，其中閘極結構包括一閘極、一閘極上蓋層、及一閘極間隙壁。接著，在這些閘極結構之間形成一第一絕緣層，再在這些閘極結構及第一絕緣層上方形成一第二絕緣層。之後，藉由閘極上蓋層、閘極間隙壁、及基底作為終止層，依序蝕刻第二及第一絕緣層，以在記憶陣列區形成位元線接觸窗而露出基底及閘極間隙壁表面，且在周邊電路區形成基底接觸窗及閘極接觸窗而分別露出基底表面及閘極上蓋層。接著，分別在位元接觸窗、基底接觸窗、及閘極接觸窗側壁形成保護間隙壁，再藉由這些保護間隙壁作為終止層，蝕刻閘極接觸窗下方之閘極上蓋層而露出其下方之閘極。最後，去除保護間隙壁。



上述閘極結構中，閘極係包含一金屬矽化層，閘極上蓋層及閘極間隙壁係由氮化矽所構成。第一絕緣層係一硼磷矽玻璃，且第二絕緣層係由四乙基矽酸鹽 (tetraethyl orthosilicate, TEOS) 所形成之氧化層。

再者，保護間隙壁係一金屬氮化鈦，且厚度在80到200埃的範圍。另外，藉由硫酸及過氧化氫混合液 (SPM) 去除保護間隙壁。

再者，藉由 CH_3F 、 O_2 、 CO 作為製程氣體以蝕刻閘極上蓋層。

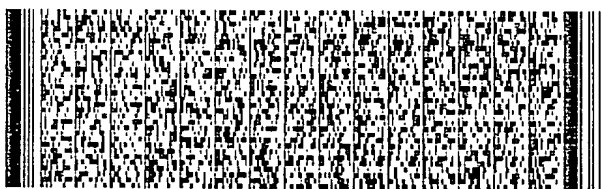
為讓本發明之上述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

以下配合第2a到2g圖說明本發明實施例之接觸窗之形成方法，適用於一記憶裝置，例如動態隨機存取記憶體 (dynamic random access memory, DRAM)。

首先，請參照第2a圖，提供一基底200，例如一矽晶圓，其中形成有任何記憶裝置所需的半導體元件，例如金氧半導體 (MOS) 電晶體、電容等。不過此處為了簡化圖式，僅以平整的基底200表示之。基底200具有一記憶陣列區30及一周邊電路區40。

接著，藉由習知技術在記憶陣列區30及周邊電路區40上方形成複數閘極結構209。其中，閘極結構209包含有一

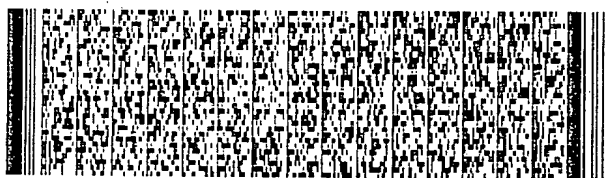


五、發明說明(5)

閘極介電層（未繪示）、一閘極205、一閘極上蓋層206、及一閘極間隙壁208。此處，閘極介電層可以是利用熱氧化法所形成之氧化矽層；閘極205可由單一複晶矽層202所構成或是由一複晶矽層202及一金屬矽化層204所構成，在本實施例中，閘極205是由一複晶矽層202及一金屬矽化層204所構成；閘極上蓋層206及閘極間隙壁208可由氮化矽所構成。其中，上蓋層206之厚度約在1500到1600埃的範圍。

之後，在這些閘極結構209上方形成一第一絕緣層210，並填入閘極結構209之間之空隙。在本實施例中，第一絕緣層210可以是藉由化學氣相沉積（CVD）法所形成之硼磷矽玻璃（BPSG），且其厚度在7000到8000埃的範圍。

接下來，請參照第2b圖，對第一絕緣層210實施一回蝕刻處理，例如實施化學機械研磨（CMP），並以閘極上蓋層206作為終止層，以在閘極結構209之間留下部分的第一絕緣層211，其厚度約為6600埃。接著，在閘極結構209及餘留的第一絕緣層210上方形成一第二絕緣層212。在本實施例中，第二絕緣層212可以是藉由化學氣相沉積（CVD）法並利用四乙基矽酸鹽（TEOS）所形成之氧化層。再者，第二絕緣層212之厚度在4000到5000埃的範圍，而較佳的厚度約為4500埃。此處，第一及第二絕緣層210、212係作為內層介電層（interlayer dielectric, ILD），需注意的是內層介電層亦可為一單層，且其材質可以與第一絕緣層210相同。



五、發明說明(6)

接著，在第二絕緣層212上方塗覆一光阻層216以供後續定義圖案之用。在本實施例中，在形成光阻層216之前，可選擇性地於第二絕緣層212上方先沉積一厚度約為600埃之複晶矽層214以作為一硬式罩幕層(hard mask)。之後，實施一習知微影程序，以在光阻層216中形成複數開口217、219、221而露出硬式罩幕層214。其中，開口217係位於記憶陣列區30的閘極結構209之間的第一絕緣層211上方且其寬度約在1550到1700埃的範圍；開口219係位於周邊電路區40的閘極結構209上方且其寬度約在1550到1680埃的範圍；開口221係位於周邊電路區40的閘極結構209之間的第一絕緣層211上方且其寬度約在1550到1700埃的範圍。

接下來，請參照第2c圖，藉由圖案化之光阻層216作為罩幕，以將開口圖案217、219、221轉移至硬式罩幕層214中。之後，去除圖案化之光阻層216。接著，以具有開口圖案之硬式罩幕層214作為罩幕，並以閘極上蓋層206、閘極間隙壁208、及基底200作為終止層，依序蝕刻第二絕緣層212及第一絕緣層210，以在記憶陣列區30形成位元線接觸窗(C_B)223而露出基底200及閘極間隙壁208表面，且同時在周邊電路區40形成基底接觸窗(C_S)227及閘極接觸窗(C_G)225而分別露出基底200表面及閘極上蓋層208。

接下來，請參照第2d到2e圖，進行本發明之關鍵步驟，在第2d圖中，藉由習知沉積技術，例如化學氣相沉積法(CVD)，在硬式罩幕層214表面與位元接觸窗223、基



五、發明說明 (7)

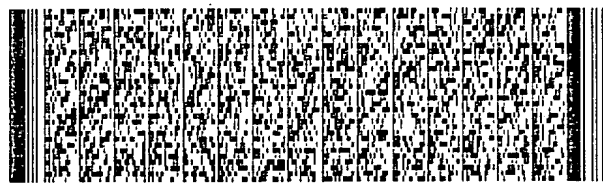
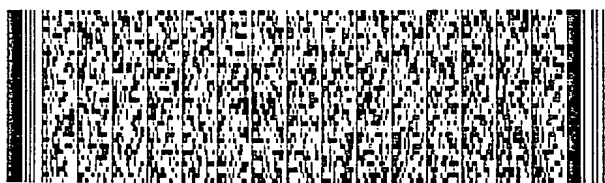
底接觸窗227、及閘極接觸窗225內表面順應性形成一金屬氮化層228。此處，金屬氮化層228可由氮化鈦所構成，其厚度在80到200埃的範圍，而較佳的厚度約為100埃。

之後，請參照第2e圖，藉由非等向性蝕刻，例如反應離子蝕刻 (reactive ion etching, RIE)，並利用BCl、Cl₂、HBr、及N₂作為製程氣體，以蝕刻金屬氮化層228而分別在位元接觸窗223、基底接觸窗227、及閘極接觸窗225側壁形成保護間隙壁229。

接下來，請參照第2f圖，由於利用CH₃F、O₂、CO作為製程氣體以進行蝕刻程序時，氮化鈦與氮化矽具有不錯的蝕刻選擇比，因此可利用由氮化鈦所構成之保護間隙壁229作為終止層，蝕刻閘極接觸窗225下方之由氮化矽所構成的閘極上蓋層208，而露出其下方之閘極205之金屬矽化層204，以完成閘極接觸窗225之製作。

在本實施例中，由於保護間隙壁229可於蝕刻閘極接觸窗225下方露出的閘極上蓋層206期間，保護位於位元線接觸窗223之閘極上蓋層206及閘極間隙壁208，因此無需在位元線接觸窗223及基底接觸窗227中額外形成光阻層以供作罩幕之用，如習知技術所述。此處需注意的是本發明雖以氮化鈦作為保護間隙壁229，然而本發明並未受限於此，任何與氮化矽及矽具有不錯的蝕刻選擇比之材料皆適用於本發明。

最後，請參照第2g圖，由於保護間隙壁229會縮小位元線接觸窗223、閘極接觸窗225、及閘極接觸窗227之閘

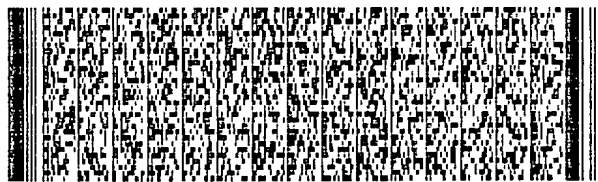
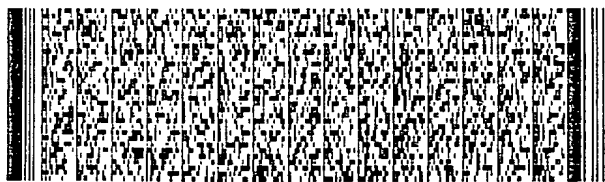


五、發明說明 (8)

鍵圖形尺寸 (critical dimension, CD)，所以必須於形成接觸插塞 (contact plug) 前，去除保護間隙壁229。由於氮化鈦與氮化矽在硫酸及過氧化氫混合液 (SPM) 中的蝕刻選擇比約為50:1，故本實施例中係採用SPM作為蝕刻溶液來去除保護間隙壁229以避免損及由氮化矽所構成之閘極上蓋層206及閘極間隙壁208。此處，SPM溶液的溫度約在80℃到120℃的範圍，且硫酸與過氧化氫之體積比約在4~8:1。

根據本發明之方法，記憶裝置之位元線接觸窗側壁形成有一保護間隙壁，因此不必在蝕刻閘極接觸窗下方之閘極上蓋層前，額外形成罩幕層。亦即，無需如習知技術額外進行微影製程以形成罩幕層，進而簡化接觸窗製程步驟及降低製作成本。再者，由於形成上述罩幕層，因此可避免習知技術所引發之誤對準，進而提高元件之良率。再者，由於本發明中的保護間隙壁可以SPM溶液去除之，所以並不會縮小位元線接觸窗之關鍵圖形尺寸。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1a到1d圖係繪示出傳統形成記憶裝置之接觸窗之方法剖面示意圖。

第2a到2g圖係繪示出本發明實施例之接觸窗之形成方法剖面示意圖。

【符號說明】

習知

- 10~記憶陣列區；
- 20~周邊電路區；
- 100~基底；
- 104~閘極；
- 106~閘極上蓋層；
- 108~閘極間隙壁；
- 109~閘極結構；
- 110~絕緣層；
- 114、128~光阻層；
- 117、119、121~開口；
- 123~位元線接觸窗；
- 125~閘極接觸窗；
- 127~基底接觸窗。

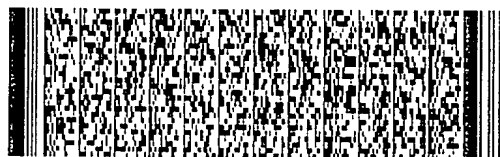
本發明

- 30~記憶陣列區；
- 40~周邊電路區；



圖式簡單說明

- 200~ 基底 ；
- 202~ 複晶矽層 ；
- 204~ 金屬矽化層 ；
- 205~ 閘極 ；
- 206~ 閘極上蓋層 ；
- 208~ 閘極間隙壁 ；
- 209~ 閘極結構 ；
- 210~ 第一絕緣層 ；
- 211~ 餘留的第一絕緣層 ；
- 212~ 第二絕緣層 ；
- 214~ 硬式罩幕層 ；
- 216~ 光阻層 ；
- 217、219、221~ 開口 ；
- 223~ 位元線接觸窗 ；
- 225~ 閘極接觸窗 ；
- 227~ 基底接觸窗 ；
- 228~ 金屬氮化層 ；
- 229~ 保護間隙壁。



六、申請專利範圍

1. 一種接觸窗之形成方法，適用於一記憶裝置，包括下列步驟：

提供一基底，其具有一記憶陣列區及一周邊電路區，且複數閘極結構形成於該記憶陣列區及該周邊電路區上方，其中該閘極結構包括一閘極、一閘極上蓋層、及一閘極間隙壁；

在該等閘極結構之間形成一第一絕緣層；

在該等閘極結構及該第一絕緣層上方形成一第二絕緣層；

藉由該等閘極上蓋層、該等閘極間隙壁、及該基底作為終止層，依序蝕刻該第二及該第一絕緣層，以在該記憶陣列區形成位元線接觸窗而露出該基底及該閘極間隙壁表面，且在該周邊電路區形成基底接觸窗及閘極接觸窗而分別露出該基底表面及該閘極上蓋層；

分別在該位元接觸窗、該基底接觸窗、及該閘極接觸窗側壁形成保護間隙壁；

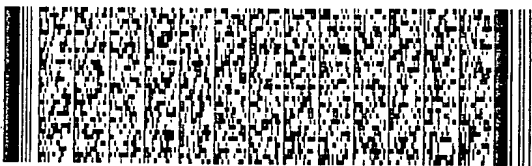
藉由該等保護間隙壁作為終止層，蝕刻該閘極接觸窗下方之閘極上蓋層而露出其下方之該閘極；以及

去除該保護間隙壁。

2. 如申請專利範圍第1項所述之接觸窗之形成方法，更包括在該第二絕緣層上方形成一硬式罩幕圖案層。

3. 如申請專利範圍第2項所述之接觸窗之形成方法，其中該硬式罩幕圖案層係一複晶矽層。

4. 如申請專利範圍第1項所述之接觸窗之形成方法，



六、申請專利範圍

其中該閘極包含一金屬矽化層。

5. 如申請專利範圍第1項所述之接觸窗之形成方法，其中該閘極上蓋層及該閘極間隙壁係由氮化矽所構成。

6. 如申請專利範圍第1項所述之接觸窗之形成方法，其中該第一絕緣層係一硼磷矽玻璃。

7. 如申請專利範圍第1項所述之接觸窗之形成方法，其中該第二絕緣層係由四乙基矽酸鹽所形成之氧化層。

8. 如申請專利範圍第1項所述之接觸窗之形成方法，其中該保護間隙壁係由一金屬氮化物所構成。

9. 如申請專利範圍第8項所述之接觸窗之形成方法，其中形成該保護間隙壁更包括下列步驟：

在該第二絕緣層上方與該位元接觸窗、該基底接觸窗、及該閘極接觸窗內表面順應性形成一金屬氮化層；以及

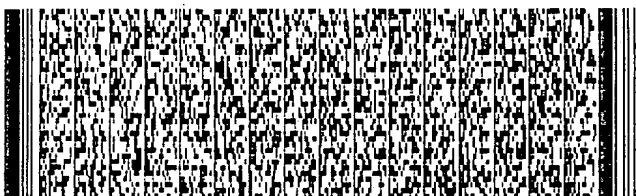
非等向性蝕刻該金屬氮化層以形成該保護間隙壁，其中藉由 BCl 、 Cl_2 、 HBr 、及 N_2 作為製程氣體。

10. 如申請專利範圍第8項所述之接觸窗之形成方法，其中該保護間隙壁係一氮化鈦層。

11. 如申請專利範圍第10項所述之接觸窗之形成方法，其中藉由硫酸及過氧化氫混合液（SPM）去除該保護間隙壁。

12. 如申請專利範圍第1項所述之接觸窗之形成方法，其中該保護間隙壁之厚度在80到200埃的範圍。

13. 如申請專利範圍第1項所述之接觸窗之形成方法，



六、申請專利範圍

其中藉由 CH_3F 、 O_2 、 CO 作為製程氣體以蝕刻該閘極上蓋層。

14. 一種接觸窗之形成方法，包括下列步驟：

提供一基底，其上方形成有複數閘極結構，其中該閘極結構包括一閘極、一閘極上蓋層、及一閘極間隙壁；

在該等閘極結構上方形成一絕緣層並填入該等閘極結構之間；

藉由該等閘極上蓋層、該等閘極間隙壁、及該基底作為終止層，蝕刻該絕緣層，以在該等閘極結構之間形成第一接觸窗而露出該基底及該閘極間隙壁表面，且在該等閘極結構上方形成第二接觸窗而露出該閘極上蓋層；

分別在該第一及該第二接觸窗側壁形成保護間隙壁；

藉由該等保護間隙壁作為終止層，蝕刻該第二接觸窗下方之閘極上蓋層而露出其下方之該閘極；以及

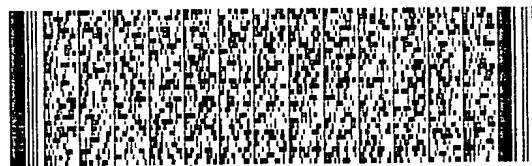
去除該保護間隙壁。

15. 如申請專利範圍第14項所述之接觸窗之形成方法，更包括在該絕緣層上方形成一硬式罩幕圖案層。

16. 如申請專利範圍第15項所述之接觸窗之形成方法，其中該硬式罩幕圖案層係一複晶矽層。

17. 如申請專利範圍第14項所述之接觸窗之形成方法，其中該閘極包含一金屬矽化層。

18. 如申請專利範圍第14項所述之接觸窗之形成方法，其中該閘極上蓋層及該閘極間隙壁係由氮化矽所構成。



六、申請專利範圍

19. 如申請專利範圍第14項所述之接觸窗之形成方法，其中該絕緣層包含一硼磷矽玻璃。

20. 如申請專利範圍第14項所述之接觸窗之形成方法，其中該絕緣層包含由四乙基矽酸鹽所形成之氧化層。

21. 如申請專利範圍第14項所述之接觸窗之形成方法，其中該保護間隙壁係由一金屬氮化物所構成。

22. 如申請專利範圍第21項所述之接觸窗之形成方法，其中形成該保護間隙壁更包括下列步驟：

在該絕緣層上方與該第一及該第二接觸窗內表面順應性形成一金屬氮化層；以及

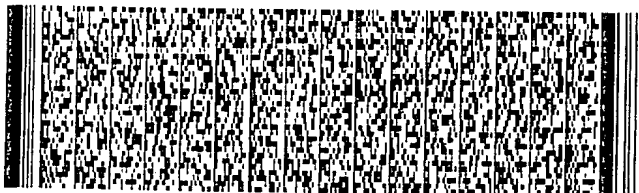
非等向性蝕刻該金屬氮化層以形成該保護間隙壁，其中藉由 BCl_3 、 Cl_2 、 HBr 、及 N_2 作為製程氣體。

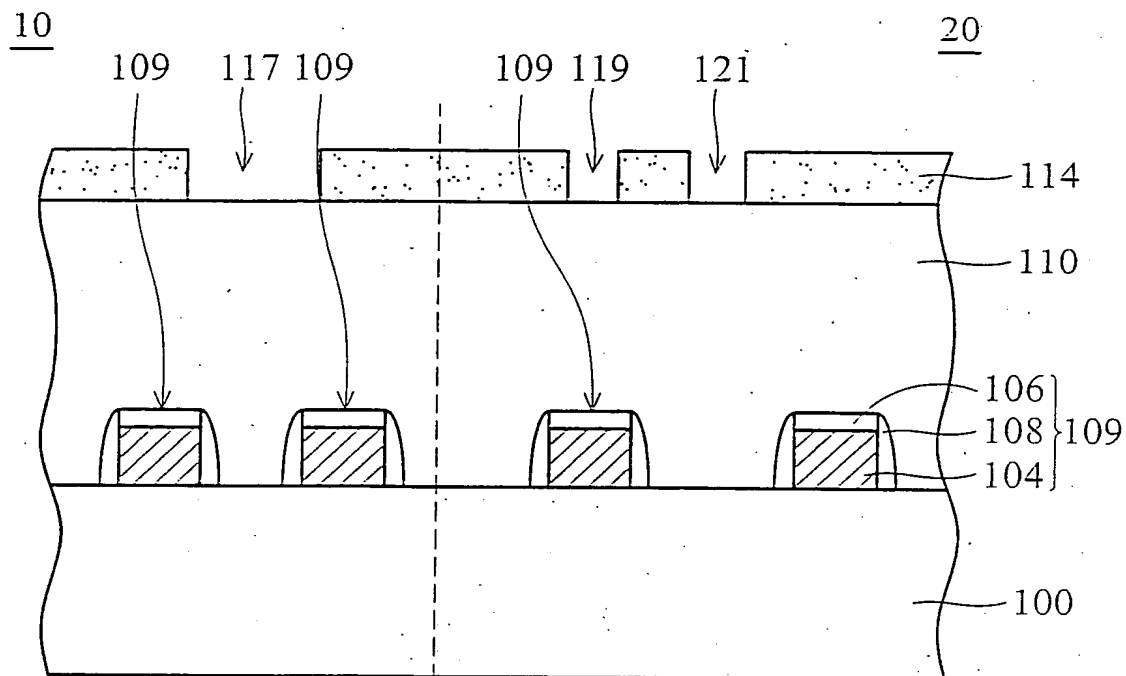
23. 如申請專利範圍第21項所述之接觸窗之形成方法，其中該保護間隙壁係一氮化鈦層。

24. 如申請專利範圍第23項所述之接觸窗之形成方法，其中藉由硫酸及過氧化氫混合液（SPM）去除該保護間隙壁。

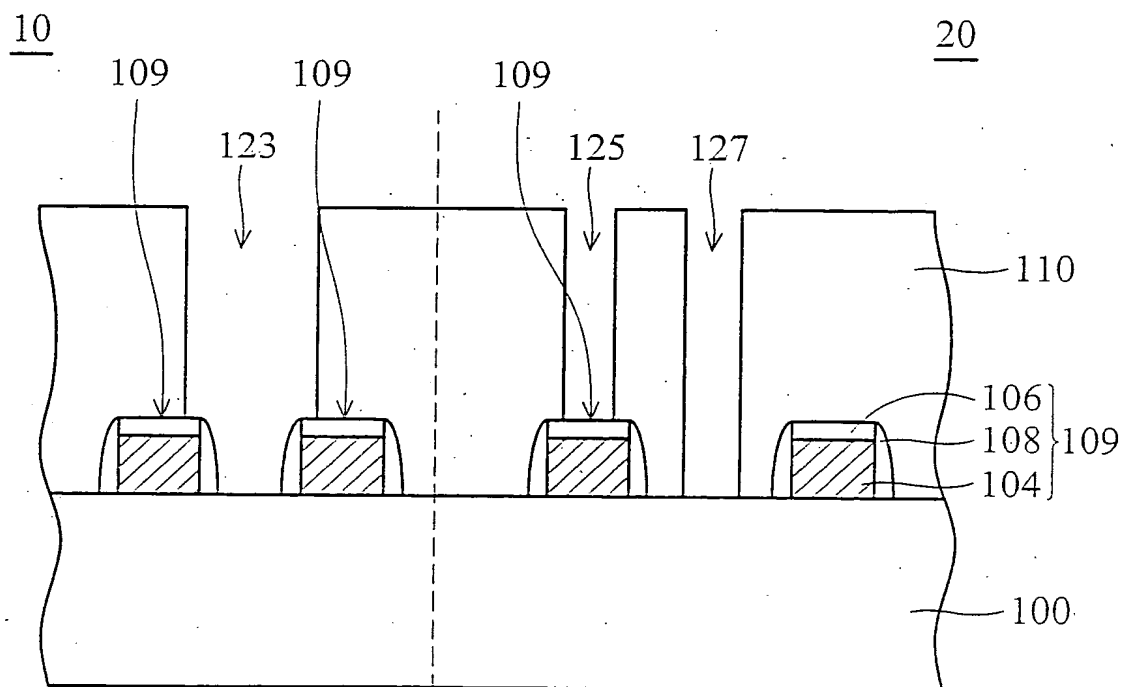
25. 如申請專利範圍第14項所述之接觸窗之形成方法，其中該保護間隙壁之厚度在80到200埃的範圍。

26. 如申請專利範圍第14項所述之接觸窗之形成方法，其中藉由 CH_3F 、 O_2 、 CO 作為製程氣體以蝕刻該閘極上蓋層。

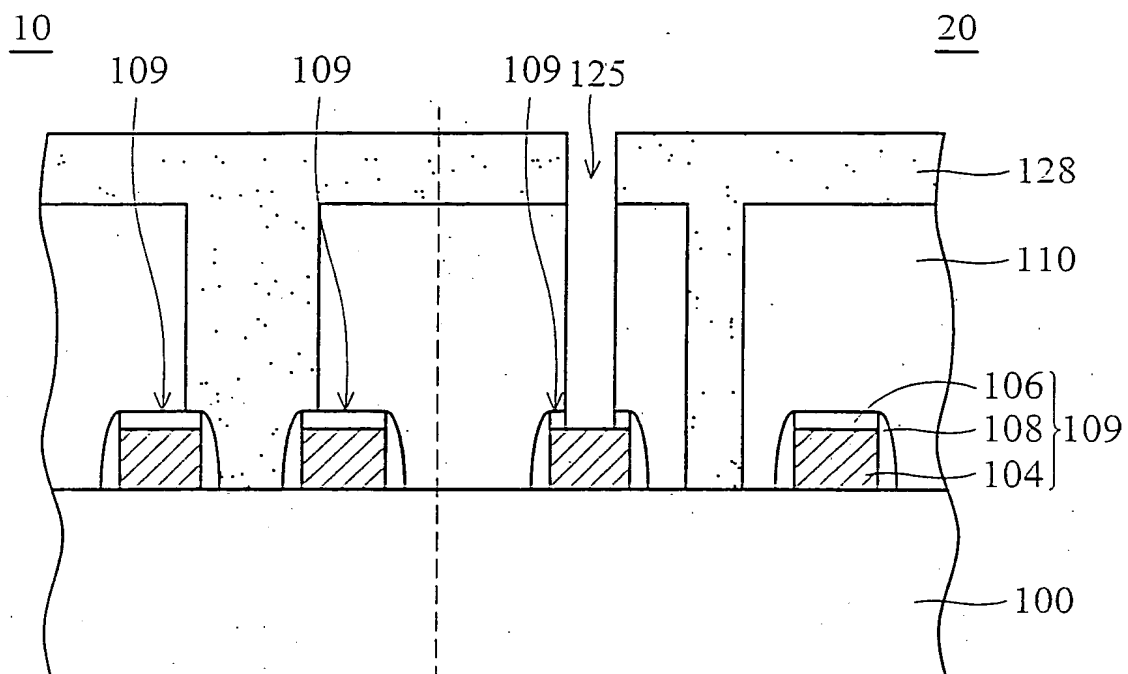




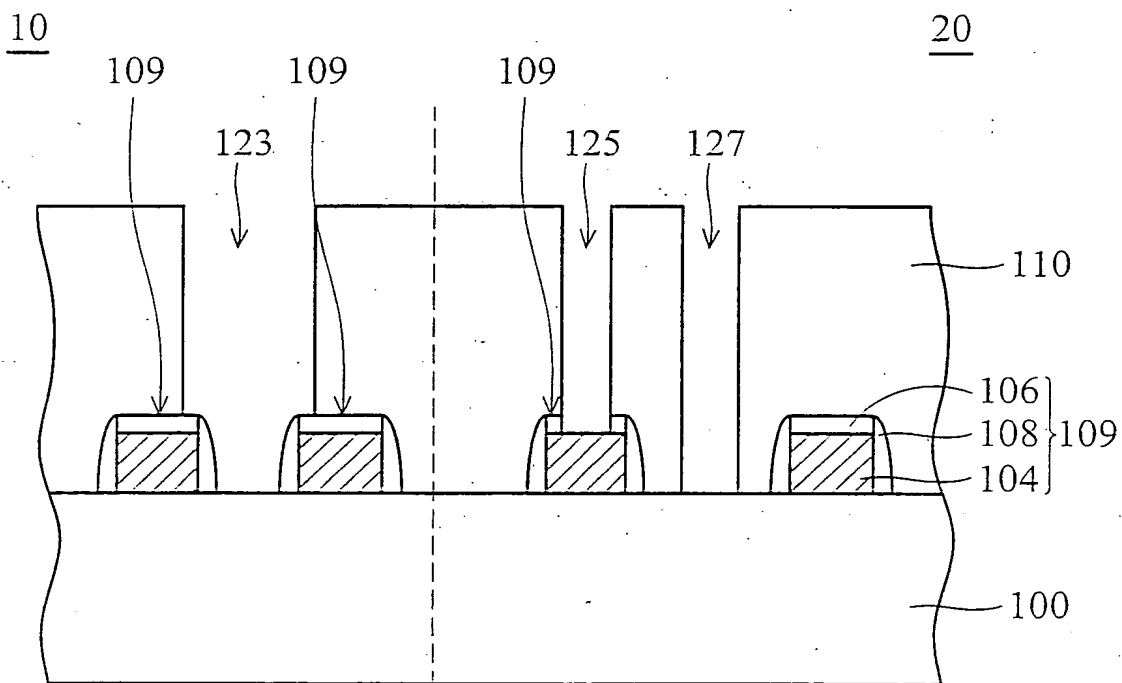
第1a圖



第1b圖



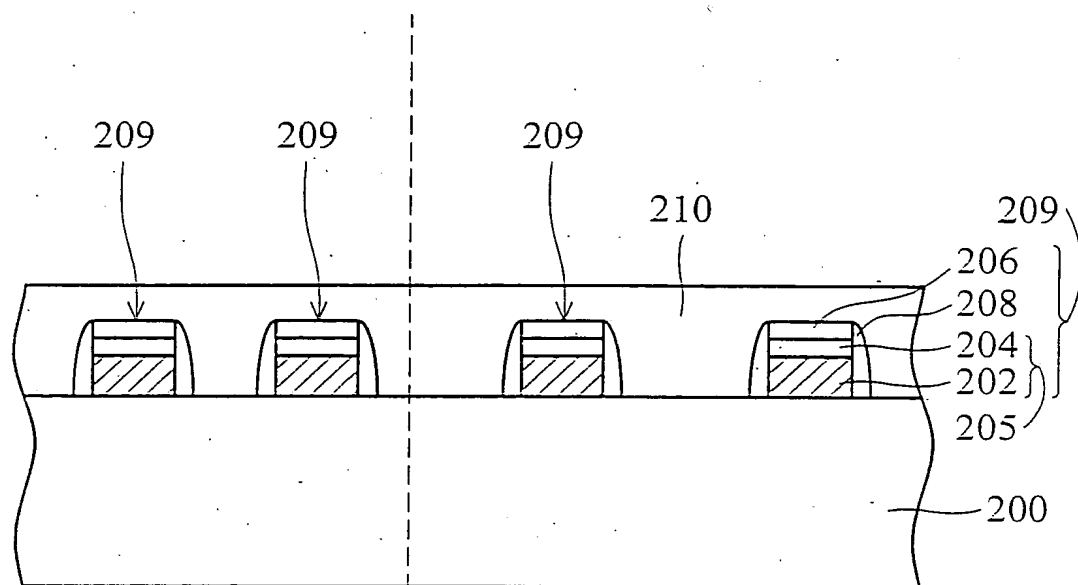
第 1c 圖



第 1d 圖

30

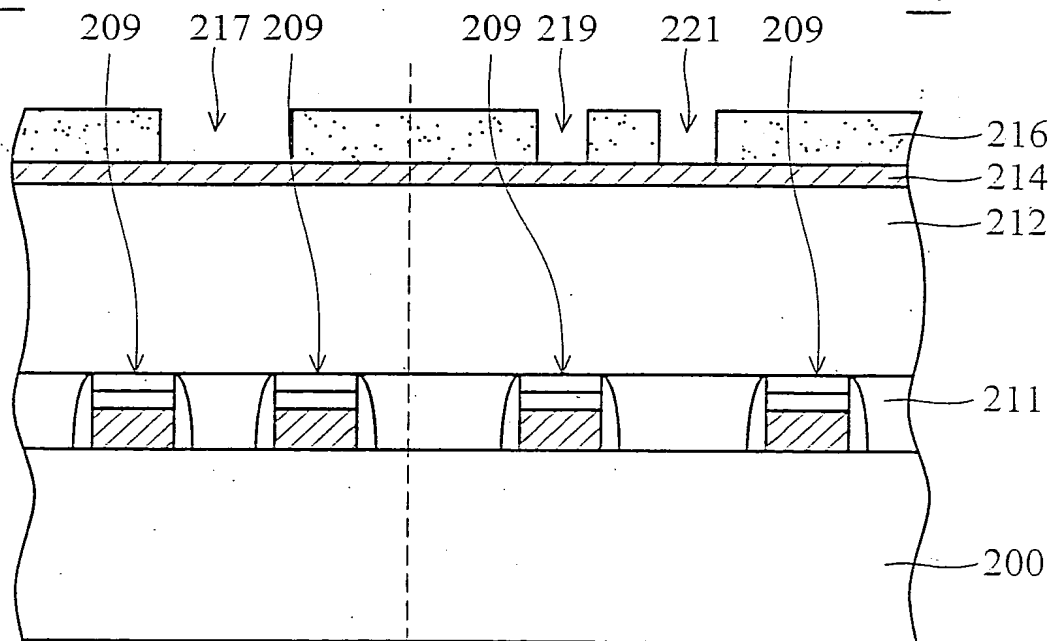
40



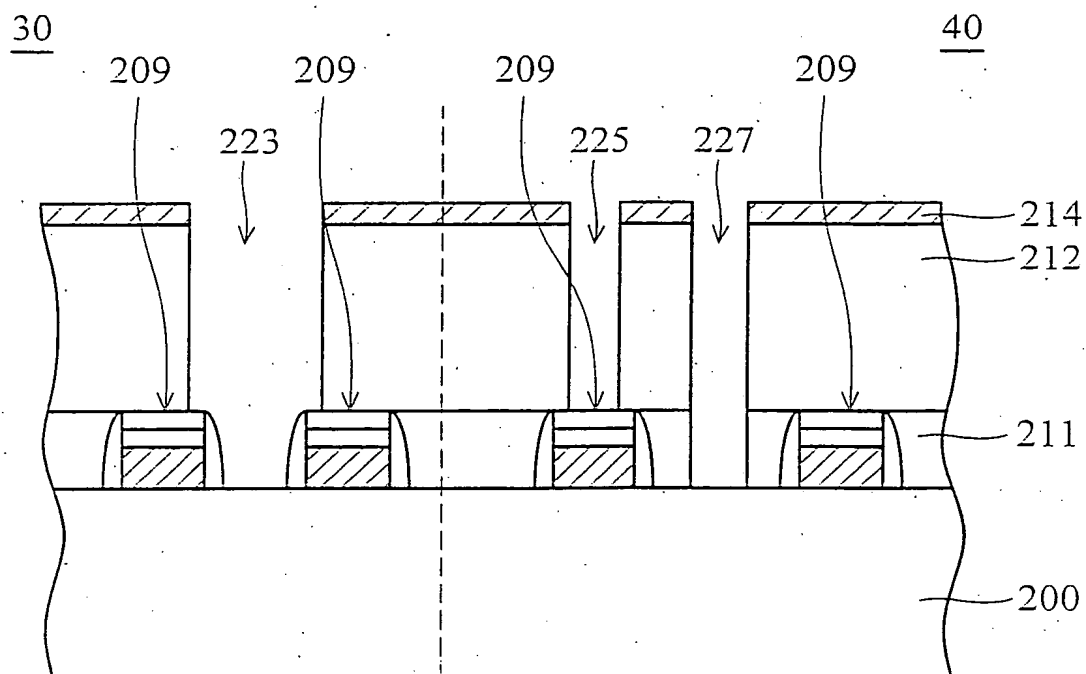
第2a圖

30

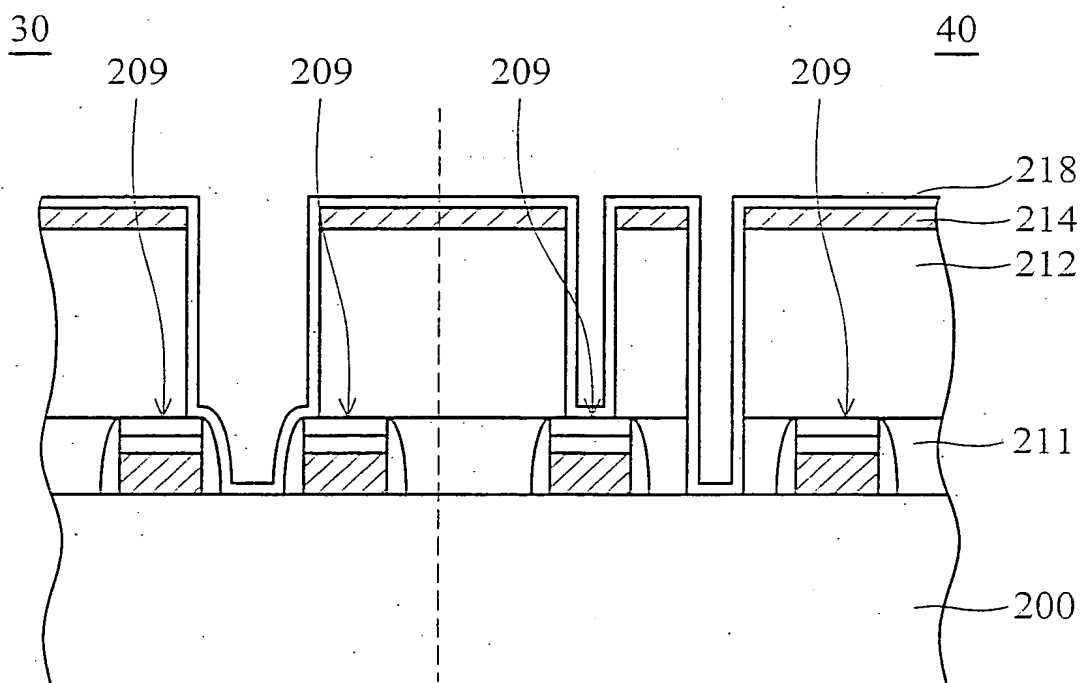
40



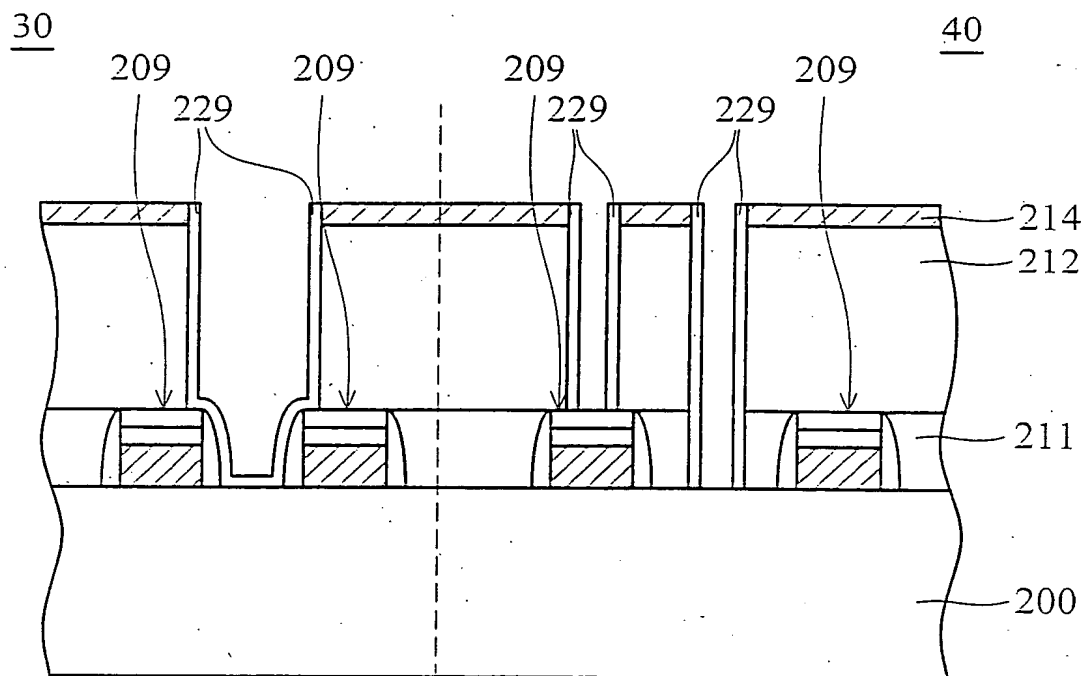
第2b圖



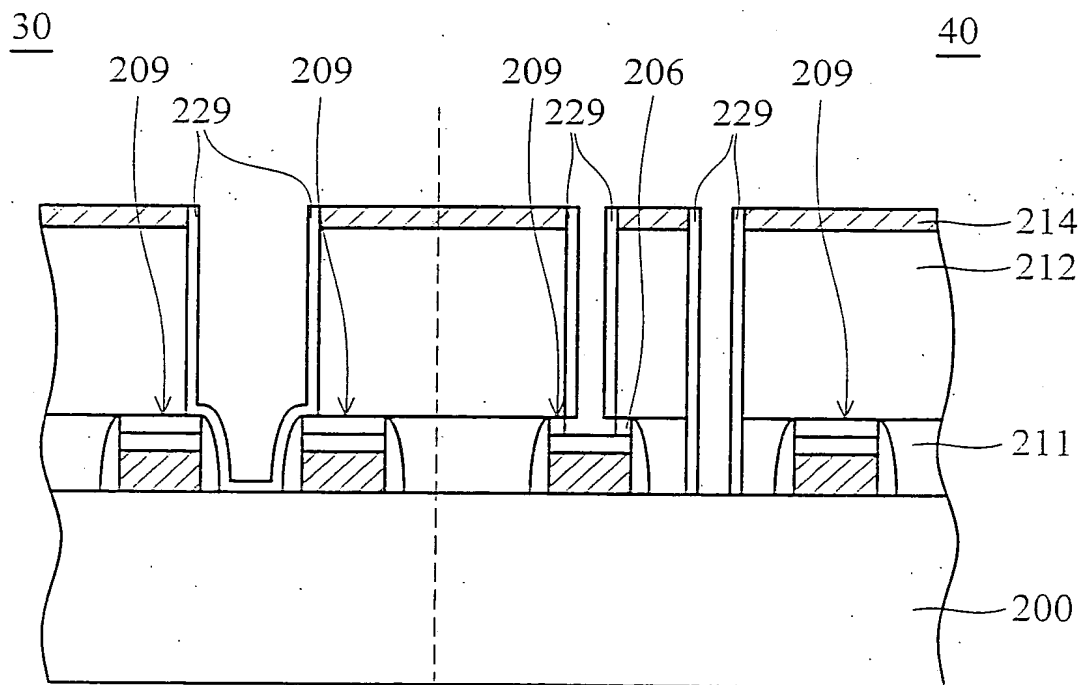
第2c圖



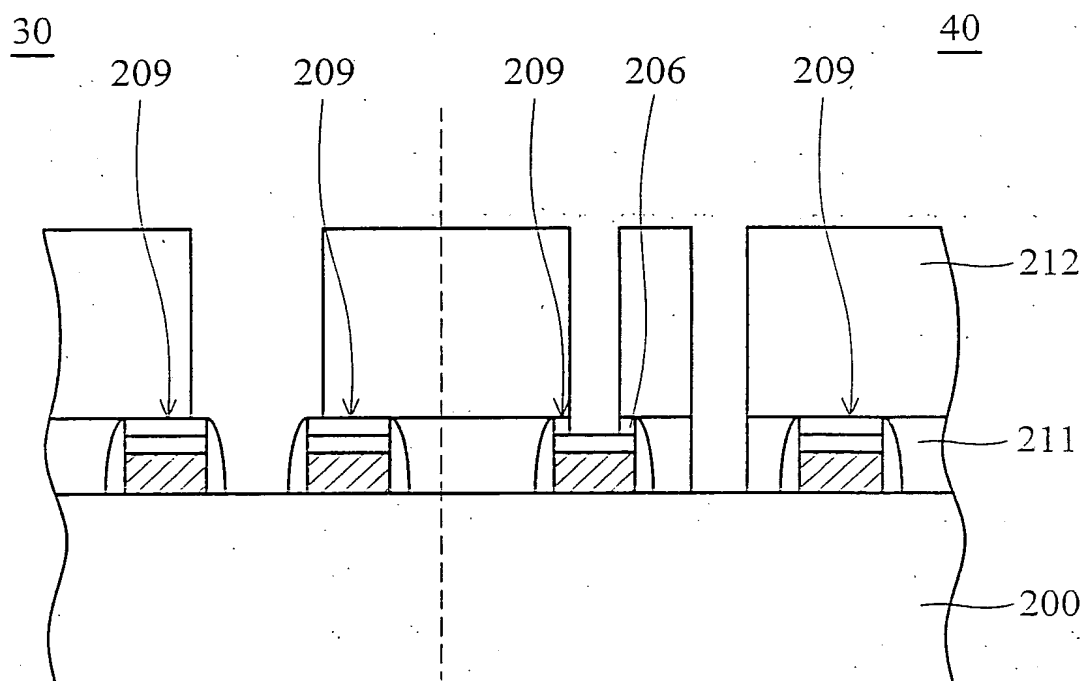
第2d圖



第2e圖

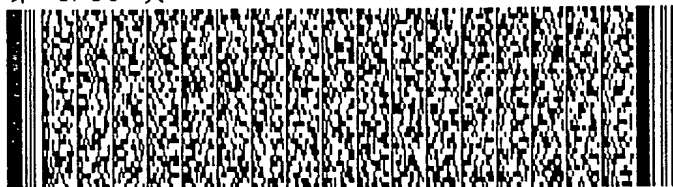


第2f圖



第 2g 圖

第 1/19 頁



第 2/19 頁



第 2/19 頁



第 3/19 頁



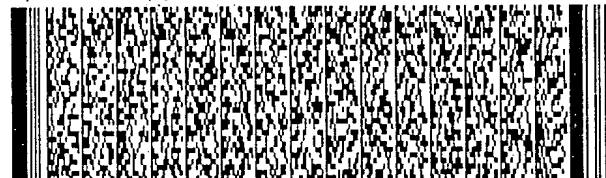
第 4/19 頁



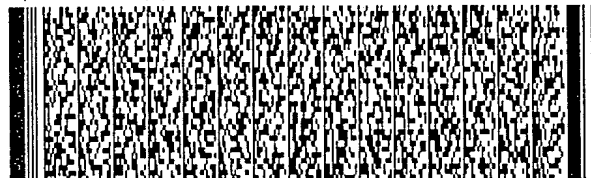
第 5/19 頁



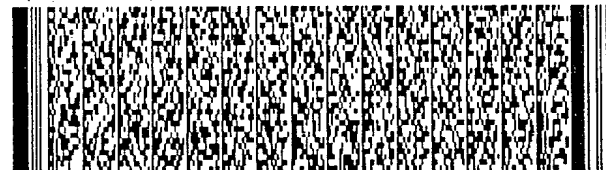
第 6/19 頁



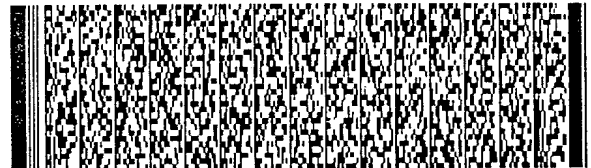
第 6/19 頁



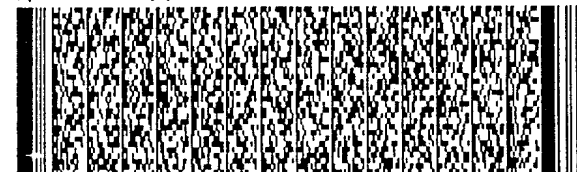
第 7/19 頁



第 7/19 頁



第 8/19 頁



第 8/19 頁



第 9/19 頁



第 9/19 頁



第 10/19 頁



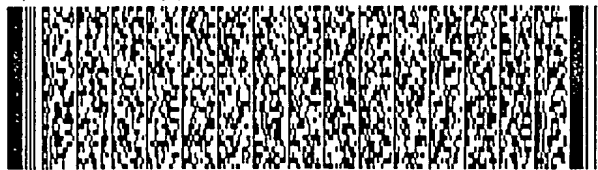
第 10/19 頁



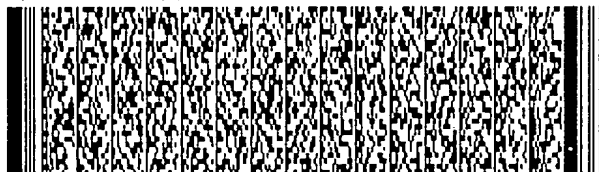
第 11/19 頁



第 11/19 頁



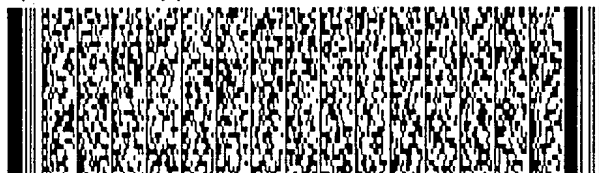
第 12/19 頁



第 12/19 頁



第 13/19 頁



第 13/19 頁



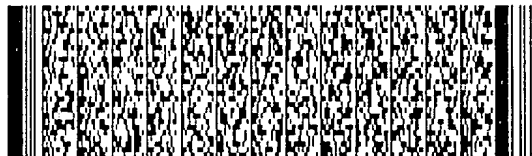
第 14/19 頁



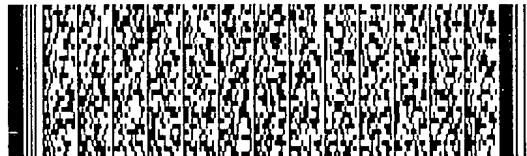
第 15/19 頁



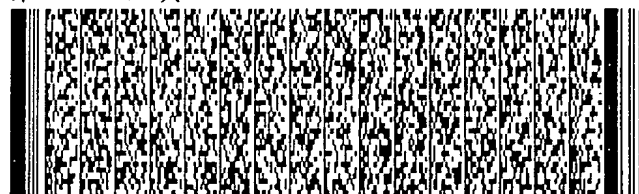
第 16/19 頁



第 16/19 頁



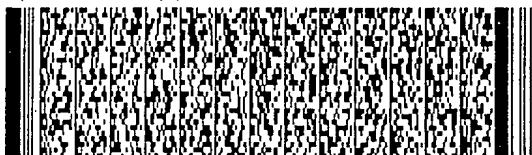
第 17/19 頁



第 18/19 頁



第 18/19 頁



第 19/19 頁

